

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-173154
(43)Date of publication of application : 20.06.2003

(51)Int.Cl. G09F 9/30
G09G 3/20
G09G 3/30
H01L 21/336
H01L 29/786
H05B 33/14

(21)Application number : 2002-102591 (71)Applicant : SANYO ELECTRIC CO LTD
(22)Date of filing : 04.04.2002 (72)Inventor : MATSUMOTO SHOICHIRO
SANO KEIICHI

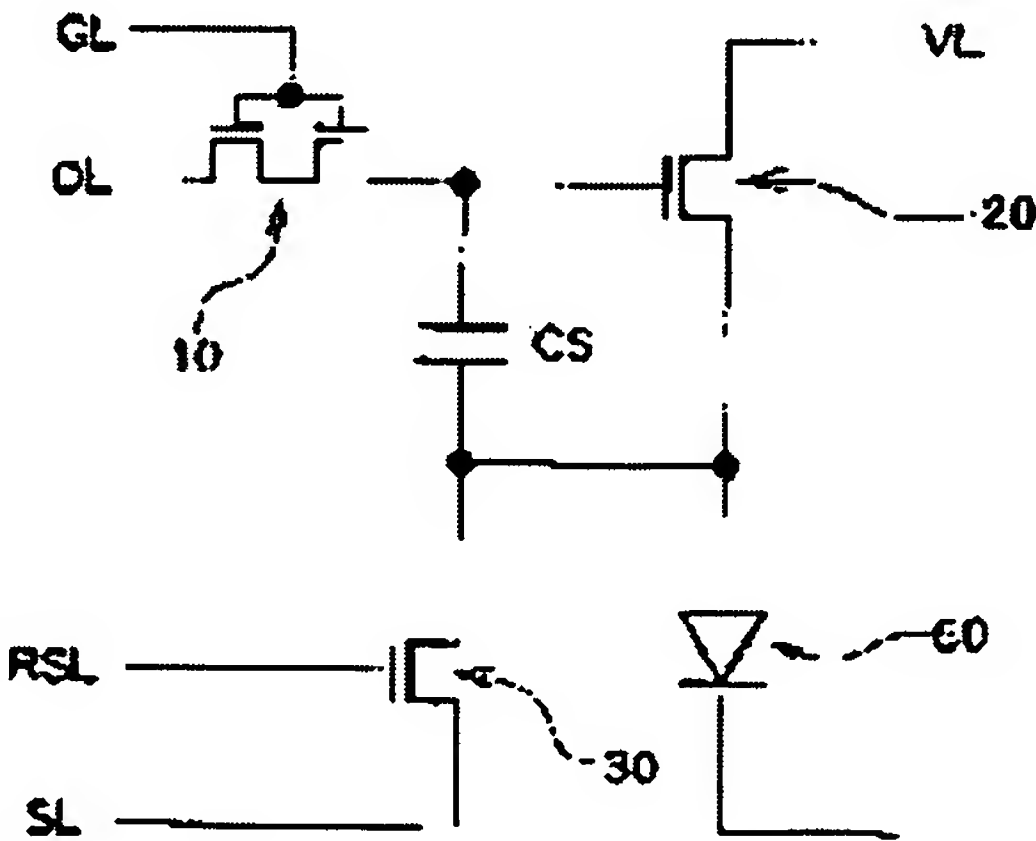
(30)Priority
Priority number : 2001303768 Priority date : 28.09.2001 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a structure capable of supplying stable electric power to elements to be driven.

SOLUTION: Each pixel arranged in a matrix form is provided with an organic EL element 50, a 1st TFT 10, a 2nd TFT 20, a holding capacitor CS, and a 3rd TFT for resetting. The 1st TFT 10 fetches a data signal according to a gate signal. The drain of the 2nd TFT 20 is connected with a driving power source line VL and the source thereof is connected with the organic EL element 50, and the 2nd TFT 20 receives the data signal to the gate and controls a current supplied from driving power source Pvdd to the organic EL element 50. The 1st electrode 7 of the holding capacitor CS is connected with the gate of the 2nd TFT 20 while the 2nd electrode 8 thereof is connected with the source of



THIS PAGE BLANK (USPTO)

the 2nd TFT 20 and the organic EL element, and holds Vgs of the 2nd TFT 20. The 3rd TFT 30 fixes the 2nd electrode potential when charging the holding capacitor CS.

LEGAL STATUS

[Date of request for examination] 01.04.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号
特開2003-173154
(P2003-173154A)

(43)公開日 平成15年6月20日(2003.6.20)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 3 K 0 0 7
	3 6 5		3 6 5 Z 5 C 0 8 0
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B 5 C 0 9 4
	6 4 2		6 4 2 A 5 F 1 1 0
3/30		3/30	J
審査請求 未請求 請求項の数15 O L (全 15 頁) 最終頁に続く			

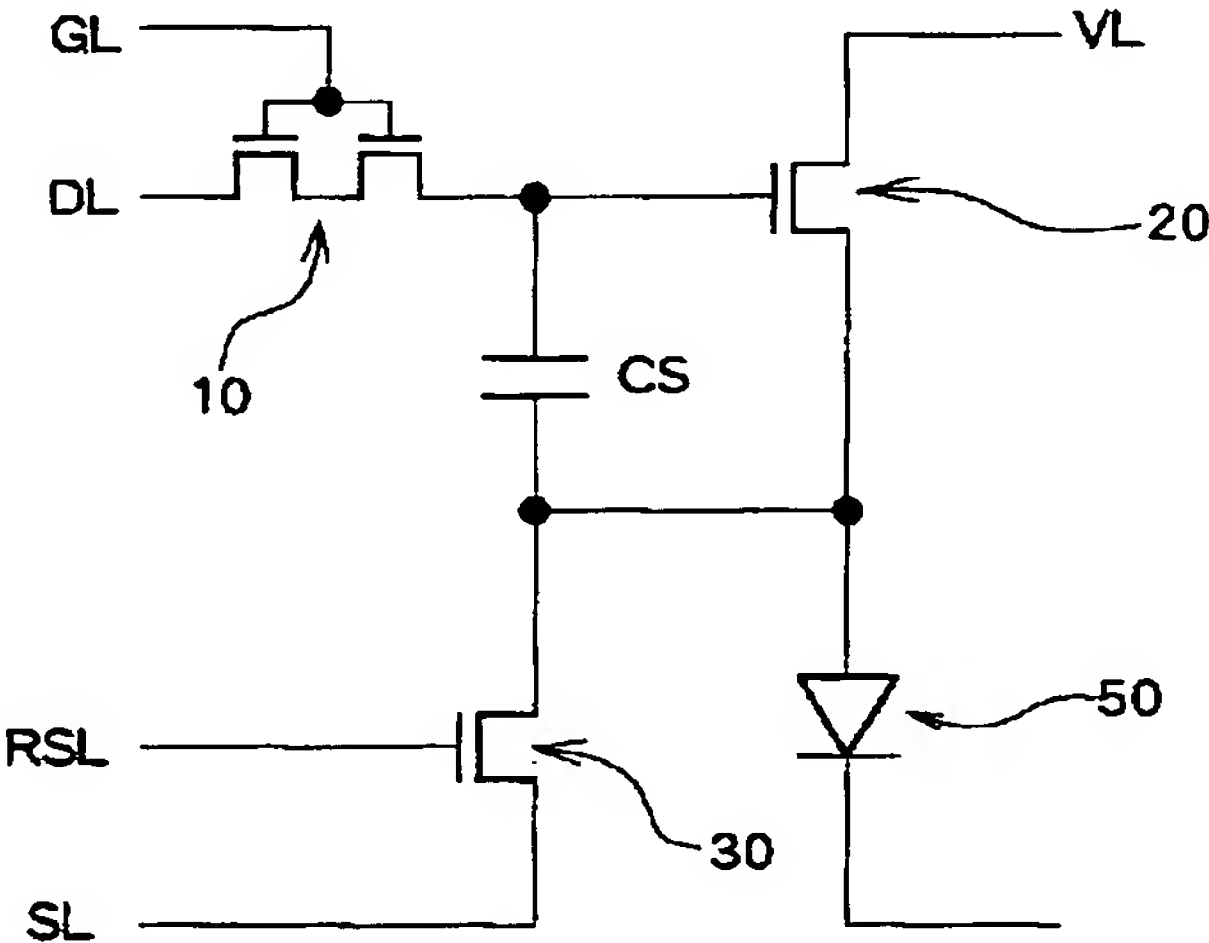
(21)出願番号	特願2002-102591(P2002-102591)	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成14年4月4日(2002.4.4)	(72)発明者	松本 昭一郎 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(31)優先権主張番号	特願2001-303768(P2001-303768)	(72)発明者	佐野 景一 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(32)優先日	平成13年9月28日(2001.9.28)	(74)代理人	100075258 弁理士 吉田 研二 (外2名)
(33)優先権主張国	日本(JP)		
		最終頁に続く	

(54)【発明の名称】 半導体装置及び表示装置

(57)【要約】

【課題】 被駆動素子に安定して電力供給可能な構成の実現。

【解決手段】 マトリクス状に配置された各画素は、有機EL素子50、第1TFT10、第2TFT20、保持容量Cs、リセット用の第3TFT30を備え、第1TFT10は、ゲート信号に応じてデータ信号を取り込み、第2TFT20は駆動電源ラインVLにドレイン、有機EL素子50にソースが接続され、データ信号をゲートに受けて駆動電源Pvdから有機EL素子50への供給電流を制御する。保持容量Csの第1電極7は第2TFT20のゲート、第2電極8は第2TFT20のソース及び有機EL素子に接続され、第2TFT20のVgsを保持する。第3TFT30は保持容量Cs充電時に第2電極電位を固定する。



【特許請求の範囲】

【請求項 1】 選択信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、駆動電源にドレインが接続され、被駆動素子にソースが接続され、前記スイッチング用薄膜トランジスタから供給されるデータ信号をゲートに受けて、前記駆動電源から前記被駆動素子に供給する電力を制御する素子駆動用薄膜トランジスタと、

第 1 電極が前記スイッチング用薄膜トランジスタと前記素子駆動用薄膜トランジスタの前記ゲートとに接続され、第 2 電極が前記素子駆動用薄膜トランジスタのソースと前記被駆動素子との間に接続され、前記データ信号に応じて前記素子駆動用薄膜トランジスタのゲートソース間電圧を保持する保持容量と、

前記保持容量の第 2 電極の電位を制御するためのスイッチ素子と、

を有することを特徴とする半導体装置。

【請求項 2】 マトリクス状に配置された複数の画素を備えるアクティブマトリクス型の表示装置であって、各画素は、少なくとも、被駆動素子と、

選択信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、

駆動電源にドレインが接続され、前記被駆動素子にソースが接続され、前記スイッチング用薄膜トランジスタから供給されるデータ信号をゲートに受けて、前記駆動電源から前記被駆動素子に供給する電力を制御する素子駆動用薄膜トランジスタと、

第 1 電極が前記スイッチング用薄膜トランジスタと前記素子駆動用薄膜トランジスタの前記ゲートとに接続され、第 2 電極が前記素子駆動用薄膜トランジスタのソースと前記被駆動素子との間に接続され、前記データ信号に応じて前記素子駆動用薄膜トランジスタのゲートソース間電圧を保持する保持容量と、

前記保持容量の第 2 電極の電位を制御するためのスイッチ素子と、

を有することを特徴とする表示装置。

【請求項 3】 請求項 1 又は請求項 2 のいずれかに記載の装置において、

前記素子駆動用薄膜トランジスタは、 n チャネル型薄膜トランジスタであることを特徴とする半導体装置又は表示装置。

【請求項 4】 請求項 3 に記載の装置において、前記 n チャネル型の素子駆動用薄膜トランジスタは、チャネル領域と高濃度不純物注入したソース領域およびドレイン領域との間に低濃度不純物注入した LD 領域を有することを特徴とする半導体装置又は表示装置。

【請求項 5】 請求項 4 に記載の装置において、前記 n チャネル型の素子駆動用薄膜トランジスタの LD 領域は、少なくとも周辺回路における n チャネル薄膜ト

ランジスタの LD 領域よりも大きく設定されていることを特徴とする半導体装置又は表示装置。

【請求項 6】 請求項 1 ～請求項 5 のいずれか一つに記載の装置において、

前記被駆動素子は、エレクトロルミネッセンス素子であることを特徴とする半導体装置又は表示装置。

【請求項 7】 請求項 1 ～請求項 6 のいずれか一つに記載の装置において、

前記スイッチ素子は、前記スイッチング用薄膜トランジスタのオンオフに応じて前記保持容量の第 2 電極の電位を制御することを特徴とする半導体装置又は表示装置。

【請求項 8】 請求項 7 に記載の装置において、前記スイッチ素子によって、前記スイッチング用薄膜トランジスタのオン動作時に前記保持容量の第 2 電極が固定電位に制御されることを特徴とする半導体装置又は表示装置。

【請求項 9】 請求項 7 に記載の装置において、前記スイッチ素子によって、

前記スイッチング用薄膜トランジスタのオン動作より前から前記保持容量の第 2 電極が固定電位に制御され、前記スイッチング用薄膜トランジスタがオフした後に、前記保持容量の第 2 電極に対する電位制御を停止することを特徴とする半導体装置又は表示装置。

【請求項 10】 請求項 7 に記載の装置において、前記スイッチ素子は、薄膜トランジスタであり、所定のリセット信号又は前記スイッチング用薄膜トランジスタに供給される選択信号に応じて、前記保持容量の第 2 電極の電位を制御することを特徴とする半導体装置又は表示装置。

【請求項 11】 請求項 1 ～請求項 10 のいずれか一つに記載の装置において、前記スイッチ素子は、前記素子駆動用薄膜トランジスタのソースに接続されており、所定タイミングで前記被駆動素子に蓄積された電荷を放電させるために用いられることを特徴とする半導体装置又は表示装置。

【請求項 12】 請求項 1 ～請求項 11 のいずれか一つに記載の装置において、

前記スイッチ素子は、前記素子駆動用薄膜トランジスタのソースに接続されており、前記被駆動素子に接続された前記素子駆動用薄膜トランジスタのソース電位又は電流の測定に用いられることを特徴とする半導体装置又は表示装置。

【請求項 13】 エレクトロルミネッセンス素子を複数マトリクス状に配置した表示装置であって、エレクトロルミネッセンス素子へ供給する駆動電流を制御する駆動トランジスタが各エレクトロルミネッセンス素子に対応して設けられ、

この駆動トランジスタは n チャネルトランジスタであ

り、かつチャネル領域と高濃度不純物注入したソースおよびドレイン領域との間に低濃度不純物注入した LD 領

10

20

30

40

50

域が設けられている表示装置。

【請求項 14】 エレクトロルミネッセンス素子を複数マトリクス状に配置した表示装置であって、エレクトロルミネッセンス素子へ供給する駆動電流を制御する駆動トランジスタが各エレクトロルミネッセンス素子に対応して設けられ、この駆動トランジスタは n チャンネルトランジスタであり、かつチャンネル領域と高濃度不純物注入したソースおよびドレイン領域との間に低濃度不純物注入した LD 領域が設けられ、この駆動トランジスタの LD 領域は少なくとも周辺回路における n チャンネルトランジスタの LD 領域より大きく設定されている表示装置。

【請求項 15】 請求項 13 または 14 に記載の装置において、前記駆動トランジスタのゲートには、スイッチングトランジスタと、容量の一旦が接続され、前記エレクトロルミネッセンス素子と駆動トランジスタの接続点は、放電トランジスタにより低電圧電源に接続され、かつ前記エレクトロルミネッセンス素子と駆動トランジスタの接続点には、前記容量の他端が接続されている表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、エレクトロルミネッセンス表示素子などの被駆動素子を制御するための回路構成に関する。

【0002】

【従来の技術】 自発光素子であるエレクトロルミネッセンス (Electroluminescence: 以下 EL) 素子を各画素に発光素子として用いた EL 表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置 (LCD) や CRT などの表示装置に代わる表示装置として注目され、研究が進められている。

【0003】 また、なかでも、EL 素子を個別に制御する薄膜トランジスタ (TFT) などのスイッチ素子を各画素に設け、画素毎に EL 素子を制御するアクティブマトリクス型 EL 表示装置は、高精細な表示装置として期待されている。

【0004】 図 13 は、m 行 n 列のアクティブマトリクス型 EL 表示装置における各画素の回路構成を示している。EL 表示装置では、基板上に複数本のゲートライン GL が行方向に延び、複数本のデータライン DL 及び駆動電源ライン VL が列方向に延びている。また各画素は有機 EL 素子 50 と、スイッチング用 TFT (第 1 TFT) 10、EL 素子駆動用 TFT (第 2 TFT) 21 及び保持容量 Cs を備えている。

【0005】 第 1 TFT 10 は、ゲートライン GL とデータライン DL とに接続されており、ゲート電極にゲート信号 (選択信号) を受けてオンする。このときデータ

ライン DL に供給されているデータ信号は第 1 TFT 10 と第 2 TFT 21 との間に接続された保持容量 Cs に保持される。第 2 TFT 21 のゲート電極には、上記第 1 TFT 10 を介して供給されたデータ信号に応じた電圧が供給され、この第 2 TFT 21 は、その電圧値に応じた電流を電源ライン VL から有機 EL 素子 50 に供給する。有機 EL 素子 50 は陽極から注入される正孔と陰極から注入される電子とが発光層内で再結合して発光分子が励起され、この発光分子が励起状態から基底状態に戻る際に発光する。有機 EL 素子 50 の発光輝度は有機 EL 素子 50 に供給される電流にほぼ比例しており、上述のように各画素ごとにデータ信号に応じて有機 EL 素子 50 に流す電流を制御することで、該データ信号に応じた輝度で有機 EL 素子を発光し、表示装置全体で所望のイメージ表示が行われる。

【0006】

【発明が解決しようとする課題】 有機 EL 表示装置において、高い表示品質を実現するためには、有機 EL 素子 50 をデータ信号に応じた輝度で確実に発光させる必要がある。従って、アクティブマトリクス型では、駆動電源ライン VL と、有機 EL 素子 50 との間に配置される第 2 TFT 21 については、有機 EL 素子 50 に電流が流れて該 EL 素子 50 の陽極電位が変動してもそのドレイン電流が変動しないことが求められる。

【0007】 このため、図 13 に示すように、第 2 TFT 21 としては、駆動電源ライン VL にソースが接続され、有機 EL 素子 50 の陽極側にドレインが接続され、データ信号に応じた電圧が印加されるゲートと、上記ソースとの電位差 Vgs によってソースドレイン間電流を制御することが可能な pch-TFT が採用されていることが多い。

【0008】 しかし、pch-TFT を第 2 TFT 21 に採用した場合には、上述のように駆動電源ライン VL にソースが接続され、このソースとゲートとの電位差によってドレイン電流、つまり有機 EL 素子 50 に供給される電流が制御されるため、駆動電源ライン VL の電圧が変動すると各素子 50 での発光輝度が変動するという問題がある。有機 EL 素子 50 は上述の通り電流駆動型の素子であり、例えばあるフレーム期間に表示されるイメージが高輝度である場合など (一例として全面白色など)、基板上の多く有機 EL 素子 50 に対し、単一の駆動電源 Pvd から対応する各駆動電源ライン VL を介して一度に多くの電流が流れ、駆動電源ライン VL の電位が変動することがある。また、駆動電源 Pvd からの距離が長く、駆動電源ライン VL の配線抵抗による電圧降下が顕著な領域、例えば電源から遠い位置にある画素では、駆動電源ライン VL の電圧が低いことで各有機 EL 素子 50 の発光輝度が電源に近い位置の素子より低くなってしまう。

【0009】 さらに、第 2 TFT 21 に pch-TFT

を用いた場合、この第2 TFT 21に供給するデータ信号は、その極性をビデオ信号の極性と逆にする必要があり、ドライバ回路に、極性反転手段を設ける必要もあった。

【0010】上記課題を解決するために、本発明では、駆動電源ラインから被駆動素子に供給される電力が駆動電源の電圧変動の影響を受け難くすることを目的とする。

【0011】また本発明の他の目的は、素子駆動用薄膜トランジスタに供給するデータ信号の極性をビデオ信号の極性と一致させ、駆動回路の簡素化を図ることである。

【0012】

【課題を解決するための手段】上記目的を達成するためにこの発明は、半導体装置であって、選択信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、駆動電源にドレインが接続され、被駆動素子にソースが接続され、前記スイッチング用薄膜トランジスタから供給されるデータ信号をゲートに受けて、前記駆動電源から前記被駆動素子に供給する電力を制御する素子駆動用薄膜トランジスタと、第1電極が前記スイッチング用薄膜トランジスタと前記素子駆動用薄膜トランジスタの前記ゲートとに接続され、第2電極が前記素子駆動用薄膜トランジスタのソースと前記被駆動素子との間に接続され、前記データ信号に応じて前記素子駆動用薄膜トランジスタのゲートソース間電圧を保持する保持容量と、前記保持容量の第2電極の電位を制御するためのスイッチ素子と、を有する。

【0013】本発明の他の態様は、マトリクス状に配置された複数の画素を備えるアクティブマトリクス型の表示装置であって、各画素は、少なくとも、被駆動素子と、選択信号をゲートに受けて動作し、データ信号を取り込むスイッチング用薄膜トランジスタと、駆動電源にドレインが接続され、前記被駆動素子にソースが接続され、前記スイッチング用薄膜トランジスタから供給されるデータ信号をゲートに受けて、前記駆動電源から前記被駆動素子に供給する電力を制御する素子駆動用薄膜トランジスタと、第1電極が前記スイッチング用薄膜トランジスタと前記素子駆動用薄膜トランジスタの前記ゲートとに接続され、第2電極が前記素子駆動用薄膜トランジスタのソースと前記被駆動素子との間に接続され、前記データ信号に応じて前記素子駆動用薄膜トランジスタのゲートソース間電圧を保持する保持容量と、前記保持容量の第2電極の電位を制御するためのスイッチ素子と、を有する。

【0014】以上のように、保持容量によって、素子駆動用薄膜トランジスタのゲートと、被駆動素子に接続されたソースとの間の電圧を保持するため、被駆動素子が動作しこの素子に接続された素子駆動用薄膜トランジスタのソース電位が上昇した場合にもデータ信号に応じた

電流の被駆動素子への供給が可能となり、素子駆動用薄膜トランジスタとして、nチャネル型薄膜トランジスタの使用が可能である。そして、駆動電源ラインにおける電圧変動に対し被駆動素子への供給電力が影響を受けにくく、安定した電力供給が可能となる。

【0015】さらに、nチャネル型薄膜トランジスタは、チャネル領域と高濃度不純物注入したソース領域およびドレイン領域との間に低濃度不純物注入したLD領域を有することが好適である。

【0016】特に、この駆動トランジスタは少なくとも周辺回路におけるnチャネルトランジスタのLD領域より大きく設定されていることが好適であり、スイッチングトランジスタのLD領域よりも大きいことが好適である。

【0017】これによって、トランジスタを大きくしなくても、ゲートに受ける電圧変化に対する電流量調整の精度を向上することができる。また、トランジスタをレイアウトする専有面積を小さくすることができ、開口率増大による輝度アップと低消費電流化を実現することができる。

【0018】本発明の他の態様では、前記被駆動素子は、エレクトロルミネッセンス素子である。エレクトロルミネッセンス素子では、例えば供給電流に対応した輝度で発光するため、上述のような回路構成によって電流供給を行うことにより、データ信号に応じた輝度で各素子を発光させることができる。

【0019】本発明の他の態様では、前記スイッチ素子は、前記スイッチング用薄膜トランジスタのオンオフに応じて前記保持容量の第2電極の電位を制御する。

【0020】本発明の他の態様では、前記スイッチ素子によって、前記スイッチング用薄膜トランジスタのオン動作時に前記保持容量の第2電極が固定電位に制御される。

【0021】本発明の他の態様では、前記スイッチ素子によって、前記スイッチング用薄膜トランジスタのオン動作より前から前記保持容量の第2電極が固定電位に制御され、前記スイッチング用薄膜トランジスタがオフした後に、前記保持容量の第2電極に対する電位制御を停止する。

【0022】本発明の他の態様では、前記スイッチ素子は、薄膜トランジスタであり、所定のリセット信号又は前記スイッチング用薄膜トランジスタに供給される選択信号に応じて、前記保持容量の第2電極の電位を制御する。

【0023】以上のようなスイッチ素子の制御により、保持容量の第2電極電位を制御することで、確実かつ簡単に保持容量にデータ信号に応じた電荷を蓄積し、所定期間、素子駆動用薄膜トランジスタのゲートソース間電圧を維持することが可能となる。

【0024】本発明の他の態様では、前記スイッチ素子

は、前記素子駆動用薄膜トランジスタのソースに接続されており、所定タイミングで前記被駆動素子に蓄積された電荷を放電させるために用いられることを特徴とする。

【0025】本発明では、被駆動素子それぞれに対応して該素子と接続されたスイッチ素子が各画素に設けられているため、例えば所定タイミングでスイッチ素子をオンさせることで、スイッチ素子を介して被駆動素子を確実にかつ他の専用の素子を設けることなく簡単に放電させることができる。

【0026】本発明の他の態様では、前記スイッチ素子は、前記素子駆動用薄膜トランジスタのソースに接続されており、前記被駆動素子に接続された前記素子駆動用薄膜トランジスタのソース電位又は電流の測定に用いられる。

【0027】例えば薄膜トランジスタから構成されるスイッチ素子は、素子駆動用薄膜トランジスタのソースに接続されているため、スイッチ素子をオン制御することで、このスイッチを介して素子駆動用薄膜トランジスタのソース電位又は電流を検出することが可能となる。従って、このような測定を被駆動素子に供給される予想電力量を予め検査することも可能となる。

【0028】また、本発明は、エレクトロルミネッセンス素子を複数マトリクス状に配置した有機ELパネルであって、エレクトロルミネッセンス素子へ供給する駆動電流を制御する駆動トランジスタが各エレクトロルミネッセンス素子に対応して設けられ、この駆動トランジスタはnチャネルトランジスタであり、かつチャネル領域と高濃度不純物注入したソースおよびドレイン領域との間に低濃度不純物注入したLD領域が設けられていることを特徴とする。特に、駆動トランジスタのLD領域は、少なくとも周辺トランジスタのLDトランジスタに比べ大きいことが好適である。

【0029】このような大きなLD領域を採用することで、高い開口率を確保しつつ、エレクトロルミネッセンス素子に供給する電流を精度よく制御することができる。

【0030】また、前記駆動トランジスタのゲートには、スイッチングトランジスタと、容量の一旦が接続され、前記エレクトロルミネッセンス素子と駆動トランジスタの接続点は、放電トランジスタにより低電圧電源に接続され、かつ前記エレクトロルミネッセンス素子と駆動トランジスタの接続点には、前記容量の他端が接続されていることが好適である。

【0031】

【発明の実施の形態】以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【0032】図1は本発明の実施形態に係る有機EL素子を駆動するための回路構成を示す。なお、ここでは、

具体的にはアクティブマトリクス型の有機EL表示装置における1画素の回路構成を例に挙げて説明している。

【0033】1画素は、図1に示すとおり、被駆動素子或いは表示素子としての有機EL素子50、スイッチング用薄膜トランジスタ（第1TFT）10、素子駆動用薄膜トランジスタ（第2TFT）20及び保持容量Csを有し、更に、リセット用のスイッチ素子としてリセット用薄膜トランジスタ（第3TFT）30を備える。

【0034】第1TFT10は、ここでは、nch-TFTで構成され、ゲートラインGLにゲート電極が接続され、ドレインがデータラインDLに接続され、ソースは、後述するように第2TFT20及び保持容量Csに接続されている。

【0035】第2TFT20は、本実施形態ではnch-TFTで構成され、駆動電源Pvdd（実際にはここでは駆動電源ラインVL）にそのドレインが接続され、有機EL素子50の陽極側にソースが接続されている。さらにゲートは、上記第1TFT10のソース、及び以下の保持容量Csの第1電極に接続されている。

【0036】保持容量Csは、第1及び第2電極を備え、第1電極は第1TFT10のソースと第2TFT20のゲートとに接続され、第2電極は、第2TFT20のソースと有機EL素子50の陽極との間に接続されている。

【0037】第3TFT（放電トランジスタ）30は、ここではnch-TFTで構成されており（但しpch-TFTでも良い）、ゲートはリセット信号が印加されるリセットラインRSLに接続され、ドレインは保持容量の第2電極に接続され、ソースは保持容量の第2電極電位を規定する電圧が供給されている容量ラインSLに接続されている。

【0038】以上のような回路構成において、ゲートラインGLに選択信号（ゲート信号）が出力されるとこれに応じて第1TFT10はオン状態となる。第3TFT30はこの第1TFT10とほぼ同時のタイミングによりオンオフ制御されており、第1TFT10がオンしたとき、第3TFT30もリセット信号によってオンしており、保持容量Csの第2電極は、この第3TFT30のソースに接続された容量ラインSLの固定電位Vs1（例えば0V）に等しくなっている。従って、第1TFT10がオンして第1TFT10のソース電圧がデータラインDLに供給されているデータ信号の電圧と等しくなると、保持容量Csは、第2電極の固定電位と、上記第1TFT10のソース電位との差、実質的にはデータ信号に対応した電圧に応じて充電される。

【0039】第2TFT20は、保持容量Csに保持された電荷に応じた電圧が第2TFT20のゲートに印加され、該第2TFTがオン状態となると、このゲート電圧に応じた電流が、駆動電源ラインVLから第2TFT20のドレイン・ソース間を介して有機EL素子50に

供給される。よって、流れた電流量に応じて、第2 T F T 2 0のソース電位が上昇する。このとき、第3 T F T 3 0はオフ制御されていて、保持容量C sの第2電極は、容量ラインS Lから切り離されている。このため、保持容量C sは第2 T F T 2 0のゲートソース間に接続された状態となり、ソース電位が上昇してもその分ゲート電位が上昇し、データ信号に応じた第2 T F T 2 0のゲートソース間電圧V g sが、この保持容量C sによって維持される。

【0040】従って、本実施形態の回路構成によれば、有機E L素子50に電流が流れて第2 T F T 2 0のソース電位が上昇しても、保持容量C sの機能により有機E L素子50にはデータ信号に応じた電流が安定して供給される。また、第2 T F T 2 0にn c h-T F Tを採用するため、ビデオ信号と同一極性のデータ信号を利用できる。さらに、第2 T F Tのドレインが接続される駆動電源P v d dは、例えば14 Vと十分高い電圧であることから、n c h-T F Tの第2 T F T 2 0についてもその飽和領域での駆動が可能であり、ソースドレイン間電圧の変動を受けずに有機E L素子50に電流を供給することが可能である。なお、ここで、ゲートラインG Lに印加されるゲート信号は、一例として0 V~12 Vの範囲、データ信号は1 V~6 V、容量ラインS Lの固定電位は0 V程度で各回路素子を駆動することができる。また、第2 T F T 2 0としてn c h-T F Tを採用しているので、データ信号としては、ビデオ信号と同一極性の信号を使用することができる。

【0041】なお、後述するように、上記nチャネル型の第2 T F T 2 0には、チャネルとソース・ドレイン間に低濃度不純物注入領域を有するいわゆるL D D構造（本明細書では、これをL D構造と呼んでいる）を採用することもできる。

【0042】図2は、上記のような各画素に対して対応するゲート信号（G 1~G m）及びリセット信号（R S 1~R S m）を供給するための回路の概略を示しており、図3はこの回路の動作を示している。アクティブマトリクス型の有機E L表示装置において、マトリクス状に配列された画素の各第1 T F T 1 0は、図2に概略したような垂直ドライバ100から出力されるゲート信号によって行毎（ゲートラインG L毎）に順次選択され、このとき図示しない水平ドライバから各データラインD Lに出力されるデータ信号を取り込む。

【0043】垂直ドライバ100のシフトレジスタ110は、垂直スタートパルスを1 H（1水平走査期間）毎にシフトし、図3に示すように、出力部120に対し、順にシフトパルスS 1、S 2、S 3...S mを出力する。

【0044】出力部120は一例として図2（b）に示すような構成を備えており、2つのアンドゲート122、124を各行に対応して備え、図3に示すようなゲ

ート信号G 1、G 2、G 3...G mと、リセット信号R S 1、R S 2、R S 3...R S mを順次対応するラインに出力する。アンドゲート122は、前後するシフトパルスの論理積をとる。アンドゲート124の一方の入力端子には、1 Hの切り替わり期間において、ゲートラインG Lへのゲート信号を出力を禁止するイネーブル信号E N B（図3参照）が供給されており、アンドゲート124は、このE N Bと上記アンドゲート122との論理積をとる。アンドゲート122から出力される2つのシフトパルス（図2ではS 1とS 2）の論理積は、本実施形態においてリセット信号R S（ここではR S 1）として用いられる。そして、アンドゲート124が、E N B信号によって出力が許可された期間のみ、上記アンドゲート122の論理積結果を各ゲートラインG Lにゲート信号（ここではG 1）として出力する。

【0045】アンドゲート122から出力されるリセット信号R Sは、上述のようにリセットラインR S Lを介して対応する画素の第3 T F T 3 0のゲートに印加され、また、ゲート信号Gは対応する画素の第1 T F T 1 0のゲートに印加される。ここで、図2の回路によって作成されたリセット信号R Sと、ゲート信号Gとは、図3に示すように例えば1行目の画素に供給されるG 1、R S 1を比較すると分かるように、ゲート信号GのHレベル期間（n c h-T F T 1 0のオン制御期間）は、リセット信号のHレベル期間（n c h-T F T 3 0のオン制御期間）よりもE N B信号によって制限された期間だけ短い。

【0046】従って、G 1、R S 1によって制御される1行目の画素を例に挙げると、まずリセット信号R S 1によって第3 T F T 3 0がオン制御される。つまり、保持容量C sの第2電極が保持容量ラインの電位に固定された後、第1 T F T 1 0がゲート信号G 1によってオンし、保持容量C sの第1電極にはデータラインD Lにおけるデータ信号とほぼ同一の電圧が印加されることとなる。また、リセット信号R Sは、ゲート信号GがLレベル（T F Tオフレベル）となってからLレベルとなる。つまり、保持容量C sの第2電極は、第1 T F T 1 0がオフして第1電極側の電位が決まるまで固定電位V s 1に維持される。よって、第1 T F T 1 0のオン期間中に第3 T F T 3 0がオフすることで保持容量C sの第1電極電位が変動し、オンしている第1 T F T 1 0を介してデータラインD Lに一旦保持したデータ信号が漏れてしまうということを確実に防止することが可能となっている。

【0047】図4及び図5は、本実施形態において採用可能な他の1画素当たりの回路構成を示している。なお、図1と共通する部分には同一の符号を付し説明を省略する。

【0048】図4の回路構成において、図1と相違する点は、図4では、駆動電源ラインV Lと有機E L素子5

0との間に複数（ここでは2つ）の $nch-TFT$ を並列して設けている点であり、他は図1と動作を含めて共通する。このように第2 TFT 20を複数個（ k 個）とすることで、各第2 TFT 20の流す電流が等しく

「 i 」の場合に、有機EL素子50には最大で合計「 $k \times i$ 」の電流が供給されることとなる。例えば $k=2$ の場合を例に挙げると、一方の第2 TFT 20が最悪で全く動作しない場合であっても、他の有機EL素子50で供給される「 $2 \times i$ 」電流に対し、有機EL素子50に「 i 」の電流を供給することは可能となる。第2 TFT 20を1つだけ採用した場合にはこの TFT 20が不良になると電流値「0」、つまり、画素欠陥となってしまう。従って、このような場合と比較すると、図4のように複数の第2 TFT 20を設けることで、各有機EL素子50の画素毎の発光輝度ばらつきを緩和し、かつ画素に発生する欠陥の割合を格段に減少させることが可能であり、信頼性を高めた回路構成が実現されている。

【0049】図5の回路構成において、図1と相違する点は、第3 TFT 30のゲートが第1 TFT 10のゲートと共にゲートライン GL に接続され、これらが同一のゲート信号 G によって制御されていることである。図3のタイミングチャートのように第1 TFT 10のオン期間より第3 TFT 30のオン期間を長く設定することで、保持容量 C_s の保持する電位の変動はより確実に低減されるが、図5のような回路構成として第1 TFT 10と第3 TFT 30を同一タイミングでオンオフ制御する構成であっても、第3 TFT 30が第1 TFT 10より早くオフする可能性は低く、保持容量 C_s に正確にデータ信号に応じた電荷を蓄積させ、第2 TFT 20を駆動することができる。また図5に示すような回路構成では、後述する図8からもわかるとおり、1画素内における配線及び第3 TFT 30のための配置スペースを最小限に抑えることができ、図1や図4の構成と比較して、有機EL素子50の配置領域（発光領域）、つまり開口率をその分大きくすることができる。

【0050】図6は、図4に示す回路構成を備えた1画素当たりの平面構成の例を示す。また、図7（a）は、図6のA-A線に沿った第1 TFT 10の断面、図7

（b）は、図6のB-B線に沿った第2 TFT 20の断面、図7（c）は、図6のC-C線に沿った第3 TFT 30の断面の一例をそれぞれ示している。

【0051】図6の構成では、もちろん、対応する図4のように各画素は、有機EL素子50、第1、第2及び第3 TFT 10、20、30、及び保持容量 C_s を画素領域内に備えている。図6の例では、ゲートライン（ GL ）40は、行方向に延び、2本のゲート電極2がこのゲートライン40から該 TFT 10の能動層6の形成領域の上に延び、ダブルゲート構造の TFT が採用されている。またゲートライン40と平行して行方向には第3 TFT 30を駆動するためのリセットライン（ RTL ）

46が形成され、第3 TFT 30の能動層36の上にこのリセットライン46からゲート電極32が延びている。

【0052】また、第1 TFT 10にデータ信号を供給するデータライン（ DL ）42と、第2 TFT 20に駆動電源 P_{vdd} からの電流を供給する駆動電源ライン（ VL ）44とが、それぞれ画素の列方向に配置されている。さらに、第3 TFT 30（ここでは TFT 30のドレイン）を介して保持容量 C_s の第2電極8に対して、固定電位 V_{s1} を供給するための容量ライン（ SL ）48が、上記データライン42及び駆動電源ライン44と並んで列方向に配置されている。

【0053】さらに、駆動電源ライン44と、有機EL素子50との間には、2つの第2 TFT 20が並列接続されており、この1つの第2 TFT 20は、図6に示すように、列方向（ここでは画素長手方向に一致し、またデータライン42及び駆動電源ライン44の延在方向と一致）に各チャネル長方向が沿うように、2つが一直線状に並んで設けられ、保持容量 C_s の第1電極7とのコンタクト部分より2つの TFT 20に共通のゲート電極24が引き出され、第2 TFT 20の能動層16を覆っている。もちろん第2 TFT 20はこのようなレイアウトに限られるものではないが、このように画素長手方向にチャネル長方向が沿うように配置することで、信頼性向上のために第2 TFT 20のチャネル長を長くすることが望まれる場合に、このような第2 TFT 20を、限られた1画素内に効率的に配置することが可能となる。さらに、後述するように能動層16として非晶質シリコンをレーザアニールして多結晶化して得た多結晶シリコンを用いる場合において、レーザアニールの走査方向を列方向に設定し、図6のように、第2 TFT 20の長いチャネル長方向を列方向に向け、かつ、2つの第2 TFT 20を列方向に離間して配置する構成を採用することにより、各 TFT 20の能動層16に対し、複数回のパルスレーザが照射される可能性が高まり、 TFT 20の特性のばらつきが、画素間で平均化することができる（ばらつきを小さくすることができる）。

【0054】次に画素の各回路素子の断面構造について更に図7を参照して説明する。図7（a）～（c）に示すように、本実施形態では、第1、第2及び第3 TFT 10、20、30のいずれもゲート電極（2、24、32）が、間にゲート絶縁膜4を挟んで能動層（6、16、36）の上方に配置されたいわゆるトップゲート型の TFT 構造が採用されている（もちろんボトムゲート型でもよい）。

【0055】第1、第2及び第3 TFT 10、20、30の各能動層6、16、36には、ガラスなどの透明絶縁基板1上に形成した $a-Si$ を、同一のレーザアニール処理工程によって多結晶化し、得た $p-Si$ をパターニングして得られた層が用いられている。また、ここで

は、いずれのTFTの能動層も、そのソース領域、ドレイン領域に、同一のドーピング工程によりn型不純物がドーピングされており、いずれもnch-TFTとして構成されている。

【0056】第1TFT10では、ゲートライン40からゲート電極2が2カ所で突出形成されていて、回路的にダブルゲート構造のTFTが形成されている。能動層6はゲート電極2の直下の領域が不純物のドーピングされない真性のチャンネル領域6cとなり、チャンネル領域6cの両側には、ここではリン(P)などの不純物がドーピングされたドレイン領域6d、ソース領域6sが形成され、nch-TFTが構成されている。

【0057】第1TFT10のドレイン領域6dは、第1TFT10全体を覆って形成される層間絶縁膜14の上に形成され画素に対応した色のデータ信号を供給するデータライン42と、該層間絶縁膜14及びゲート絶縁膜4に開口されたコンタクトホールで接続されている。

【0058】第1TFT10のソース領域6sは、保持容量Csの第1電極7を兼用している。第1電極7の上にはゲート絶縁膜4を挟んでゲートライン40等と同一材料からなる第2電極8が形成され、第1及び第2電極7、8が、ゲート絶縁膜4を挟んで重なった領域が保持容量Csを構成している。第1電極7は第2TFT20の形成領域(能動層16)に延び、接続配線26を介して、第2TFT20のゲート電極24と接続されている。また、第2電極8は、この第2電極8及びゲート電極2、ゲートライン40を覆って形成される層間絶縁膜14の上層に、後述するデータライン42などと同時に形成される共通接続配線34によって、第3TFT30のドレイン36dと、第2TFT20のソース16sと、有機EL素子50の後述する陽極52に接続されている。

【0059】2つの第2TFT20の能動層16は、ゲート電極24の下方がチャンネル領域16cで、チャンネル領域16cの両側には、それぞれ、リン(P)などの不純物がドーピングされたドレイン領域16d、ソース領域16sが形成され、nch-TFTが構成されている。2つの第2TFT20の各ドレイン領域16dは、図6及び図7(b)の例では互いに共通であり、層間絶縁膜14及びゲート絶縁膜4に開口された1つの共通コンタクトホールを介してドレイン電極を兼用する駆動電源ライン44と接続されている。一方、2つの第2TFT20のソース領域16sは、それぞれ、層間絶縁膜14及びゲート絶縁膜4に開口されたコンタクトホールを介して上記共通接続配線34に接続されている。

【0060】第3TFT30は、図7(c)に示すように、第1及び第2TFT10、20と基本的に同様の構成に、リセットライン(RSL)46と一体のゲート電極32の下方がチャンネル領域36cとなり、チャンネル領域36cの両側にはリンなどの不純物がドーピングされてソ

ース領域36s及びドレイン領域36dが形成され、nch-TFTが構成されている。

【0061】第3TFT30のソース領域36sは、層間絶縁膜14及びゲート絶縁膜4に開口されたコンタクトホールを介してソース電極を兼用する容量ライン(SL)48と接続されている。また、第3TFT30のドレイン領域36dは、層間絶縁膜14及びゲート絶縁膜4に開口されたコンタクトホールを介してドレイン電極を兼用する上記共通接続配線34に接続されている。

【0062】第1TFT10のゲート電極2(ゲートライン40)、第2TFT20のゲート電極24(接続部26からの配線部を含む)、第3TFT30のゲート電極32(リセットライン48)及び保持容量Csの第2電極8は、それぞれ例えばCrを用いて同時にパターニング形成されている。また、データライン42、駆動電源ライン44、容量ライン48及び共通接続配線34、接続配線26はそれぞれ例えばAlなどを用いて同時にパターニング形成されている。なお、図6に示すように第2TFT20のソース領域16sに接続される共通接続配線34は、後述する有機EL素子50の陽極52と、第2TFT20のゲート電極形成領域との間を覆うように画素長手方向(ここでは列方向)に沿って配置されており、第2TFT20のチャンネル領域16cを有機EL素子50からガラス基板1側に射出される光から遮光する機能を発揮することができる。

【0063】第3TFT30のソース領域36s、保持容量Csの第2電極8及び第2TFT20のソース領域16sとそれぞれ接続された上述の共通接続配線34は、この配線34、データライン42、駆動電源ライン44、容量ライン48を含む基板全体を迫って形成された第1平坦化絶縁層18に開口されたコンタクトホールを介して図7(b)に示すように、有機EL素子50の陽極52と接続されている。

【0064】以上のように本実施形態では、1画素内にそれぞれ第1、第2及び第3TFT10、20、30の3種類のTFTを形成しているが、第2TFT20としてnch-TFTを用いることが可能な回路構成の採用により、3種類のこれらのTFT10、20、30は同一工程を経て同時に形成することが可能である。従って、同時に形成すれば、TFT数が増加することによる工程増加を防止できる。

【0065】有機EL素子50は、ITO(Indium Tin Oxide)等からなる透明の陽極52と、例えばAlなどの金属からなる陰極57との間に有機化合物が用いられた発光素子層(有機層)51が形成されて構成されており、本実施形態では、図3(b)に示すように基板1側から陽極52、発光素子層51、陰極57がこの順に積層されている。なお、図7(b)に示すように、上記第1平坦化絶縁層18の上には、有機EL素子50の陽極52の形成中央領域のみ開口された第2平坦化絶縁層6

1が形成されており、この第2平坦化絶縁層61は、陽極52のエッジを覆い、また配線領域及び第1及び第2及び第3TFT形成領域、保持容量形成領域を覆っており、陽極52と最上層の陰極57とのショートや発光素子層51の断線を防止している。

【0066】発光素子層51は、この例では、陽極側から、例えばホール輸送層54、有機発光層55、電子輸送層56が例えば真空蒸着によって順に積層されている。発光層55は各画素が異なる例えば、R（赤）、G（緑）、B（青）に割り当てられたカラー表示装置の場合、割り当てられた発光色毎に異なる材料が用いられる。他のホール輸送層54、電子輸送層56は、図7（b）に例示するように全画素に対して共通で形成することも可能であり、また、色毎に発光層55と同様別の材料が用いてもよい。各層に用いられる材料について一例を挙げると以下の通りである。

【0067】ホール輸送層54：NBP、
発光層55：レッド（R）・・・ホスト材料（Alq₃）に赤色のドーパント（DCJT B）をドーブ、
グリーン（G）・・・ホスト材料（Alq₃）に緑色のドーパント（Coumarin 6）をドーブ、
ブルー（B）・・・ホスト材料（Alq₃）に青色のドーパント（Perylene）をドーブ、
電子輸送層56：Alq₃、
また、陰極57と電子輸送層56との間には例えばフッ化リチウム（LiF）等を用いた電子注入層を形成していてもよい。またホール輸送層はそれぞれ異なる材料を用いた第1及び第2ホール輸送層から構成されていてもよい。また、各発光素子層51は少なくとも発光材料を含有する発光層55を備えているが、用いる材料によっては上記ホール輸送層や、電子輸送層などは必ずしも必要でないこともある。なお、略称にて記載した材料の正式名称は、それぞれ、

「NBP」・・・N,N'-Di((naphthalene-1-yl)-N,N'-diphenyl-benzidine)、

「Alq₃」・・・Tris(8-hydroxyquinolino)aluminum、

「DCJT B」・・・(2-(1,1-Dimethylethyl)-6-(2-(2,3,6,7-tetrahydro-1,1,7,7-tetramethyl-1H,5H-benzo[ij]quinolizin-9-yl)ethenyl)-4H-pyran-4-ylidene)propanedinitrile、

「Coumarin 6」・・・3-(2-Benzothiazolyl)-7-(diethylamino)coumarin、

「BA1q」・・・(1,1'-Bisphenyl-4-Olato)bis(2-methyl-8-quinolinplate-N 1,08)Aluminum、である。但し、もちろん発光素子層51の構成は、これらの構成、これらの材料には限られない。

【0068】次に、図8を参照して、本発明の実施形態に係る画素の他の構成について説明する。図8は図5に示す回路構成を備えた1画素当たりの平面構成の例を示しており、図6及び図7と共通する部分には同一符号を

付している。上記図6の平面構成と相違する点は、主として、第1TFT10のゲート電極2を兼用しゲート信号Gを供給するゲートライン41が、第3TFT30のゲート電極32を兼用する点と、駆動電源ライン44と有機EL素子50の陽極52との間に、単一の第2TFT20が配置されている点である。各TFT10、20、及び30、容量Cs、有機EL素子50の基本的な断面構造は、図7（a）～（c）とほぼ共通している。もちろん、図8の構成においても、第2TFT20はnch-TFTで構成されており、ゲートソース間電圧は、保持容量Csによってデータ信号に応じた電圧に維持されている。

【0069】図8の構成例では、ゲートライン41が、第1TFT10のゲート電極2と第3TFT30のゲート電極32を兼用することにより、図6との比較からもわかるように行方向に配置される配線は、各行毎には1本のゲートライン41でよく、各画素の形成領域をその分広くすることが可能となっている。第3TFT30の能動層36は、図8の例では、第1TFT10の能動層6と平行に、この能動層6よりゲートライン41から離れた位置に配置されている。第1TFT10にデータ信号を供給するデータライン42は、この第3TFT30の能動層36の上方を横切っている。そして、第3TFT30のドレイン側は該データライン42と平行して列方向に配列されている容量ライン48に接続されている。この第3TFT30のドレイン領域36dは、共通接続配線34によって、図8では駆動電源ライン44の長手方向に沿って配置されている保持容量Csの第2電極8、第2TFT20のソース領域16s、及び有機EL素子50の陽極52にそれぞれ接続されている。

【0070】図8と図6とを比較すると明らかなように、駆動電源ライン44の行方向における配置ピッチがほぼ同じである場合、図8では、1画素内において有機EL素子50の陽極52の形成面積が広く確保されており、より開口率の高い、つまりより高輝度の表示を実現することができる。

【0071】なお、以上の説明において第1～第3TFT10、20、30の能動層にはそれぞれ多結晶シリコンを用いた場合を例に説明しているが、もちろんアモルファスシリコンを能動層に採用してもよい。多結晶シリコンを能動層に用いたTFTを採用する場合、同一基板には各画素を駆動する上述の垂直ドライバや水平ドライバを同じ多結晶シリコンを能動層に用いたTFTを形成する。この場合、ドライバ部のTFTにはCMOS構造が採用されることが多く、nch-TFT及びpch-TFTの両方を形成する必要がある。一方、アモルファスシリコンを各画素のTFTに採用する場合、各画素を駆動するためのドライバは専用の外付けICが用いられる。このため、本発明のように各画素に3種類のTFTを形成する場合において、いずれのTFTもnch-T

F Tにて構成できるため、第2 T F T 2 0にp c h-T F Tを採用した場合と比較して、製造工程をより簡素なものにすることができる。

【0072】また、各T F Tについては、適宜チャネル領域とドレイン領域との間又はチャネル領域とソース領域との間にL D (L i g h t l y D o p e d) 領域が形成されていてもよい。

【0073】次に、本実施形態において、各画素に設けたリセット用の第3 T F T 3 0の更に別の用途について説明する。第3 T F T 3 0は、上述のように、通常の表示期間中においては、もちろん、第2 T F T 2 0のゲートソース間電圧を保持容量C sに保持させるために、上述のように第1 T F T 1 0と同様なタイミングでオンオフ制御して用いるが、他の期間においては、別の用途にも用いることができる。

【0074】具体的には、有機E L素子5 0の陽極-陰極間に蓄積された電荷を所定タイミングで強制的に放電するために用いることができる。第2 T F T 2 0のゲートソース間電圧V g sが保持容量C sによって所定レベルに維持されている期間中、有機E L素子5 0の陽極5 2と陰極5 7との間には、このV g sに応じた電流が流れ続け、その画素の表示期間が終了した時点において陽極-陰極間にはある程度の電荷が残っている。このような残存電荷のため、該当画素において、次の表示期間における表示内容がこの残存電荷の影響を受け、いわゆる残像のような現象が発生する可能性がある。そこで、所定期間毎、例えば1垂直走査期間に1回、例えばその帰線中において、全画素の第3 T F T 3 0を同時又は順にオンさせれば、有機E L素子5 0の陽極を容量ライン4 8に接続し、陽極電位を容量ライン4 8の電位、例えば0 Vとすることができる。このような制御を行えば、1表示期間終了後、次の表示期間が始まる前に有機E L素子5 0中の残存電荷を第3 T F T 3 0を介して放電させることができ、残像などのない高品質の表示が可能となる。さらに、有機E L素子5 0は流した電流量が多いほど特性劣化が早まる傾向があり、不要な電荷を放電すれば有機E L素子5 0に不要な電流が流れ続けることを防止でき、有機E L素子5 0の寿命を延ばすことも可能となる。

【0075】他の用途は、第3 T F T 3 0を例えば工場からの出荷前などにおいて、各画素の検査に用いることである。すなわち、第1 T F T 1 0をオンさせて検査用のデータ信号を書き込んで第2 T F T 2 0をオンさせると、書き込んだ検査用データに応じた電流が駆動電源ライン4 4から第2 T F T 2 0のドレインソース間に流れる。従って、第2 T F T 2 0のソース電圧は、有機E L素子5 0に供給される電流量に応じた電圧となるはずであるため、このとき第3 T F T 3 0をオン制御して、この第2 T F T 2 0のソース電圧（又はソースに流れた電流）を容量ライン4 8の電圧測定などによって、有機E

L素子に対して適正な電流を供給することができるかどうかを確実に簡単に検査することができる。

【0076】次に、上述の第2 T F T 2 0の他の構造について説明する。図9は、この第2 T F T 2 0の構成例であり、図7の構成と相違する点は、第2 T F T 2 0が、ライトドープ(L D : Lightly Dope : 通常L D Dと呼ばれている) 領域を有するいわゆるL D D型のT F Tによって構成されていることである。また、この図においては、第2 T F T 2 0をシングルゲートの一般的な構成とし、これにL D領域1 6 L Dを設けている。すなわち、ガラス基板1上には、能動層1 6が形成されており、これを覆ってゲート絶縁膜4が形成されている。能動層1 6の中央部分のゲート絶縁膜4の上方にはゲート電極2 4が配置されている。

【0077】また、能動層1 6の両端部には、高濃度に不純物がドープされたドレイン領域1 6 d、ソース領域1 6 sが設けられている。そして、能動層1 6のゲート電極2 4の下方部分がチャネル領域1 6 cとなっており、この能動層1 6のチャネル領域1 6 cと、ソース領域1 6 s、ドレイン領域1 6 dとの間が低濃度不純物注入によるL D領域1 6 L Dとなっている。

【0078】第2 T F Tとして、このような周辺トランジスタに比べ大きなL D領域を有するT F Tを採用することによって、耐圧を大きくできるとともに、ゲート電圧の変化に対する電流量の変化を大きくすることができる。

【0079】すなわち、T F T 2 0のゲート長（チャネル長方向）を長くすると、ゲート電圧に対し電流量が変化する範囲を大きくして、ゲート電圧の変化による電流量調整の精度を向上することができる。本実施形態では、大きなL D構造とすることで、ゲート長を長くすると同様の効果が得られる。

【0080】実際にゲート電極2 4の幅を広げてゲート長を長くした場合、幅広（ゲート長が長い）のゲート電極2 4を他との絶縁を確保しながら引き回す必要がある。しかし、L D構造により、実質的にゲート長を長くしたのと同じ効果が得られれば、遮光性のゲート電極2 4の幅を特別広くせずすみ、1画素内における開口率を向上させることが可能となる。

【0081】なお、このようなL D構造は、第1 T F T 1 0や、ドライバ回路のT F Tにおいても採用される場合がある。

【0082】本実施形態においては、第2 T F T 2 0におけるL Dの領域を第1 T F T 1 0や、ドライバ回路のT F Tに比べ大きくした。

【0083】例えば、第1 T F T 1 0やドライバ回路におけるT F TのL D領域の長さを図9の長さとした場合に、第2 T F T 2 0のL D領域を図10に示すように、大きくした。これによって、電流量の制御をさらに精度よく行え、かつ比較的トランジスタの大きさ自体は、ほ

とんど変更する必要がない。また、他のTFT10などのゲート電極と同等の幅のゲート電極を用いればよく設計が容易となる。

【0084】従って、このように、LDD構造とすることで、ゲート電極24をあまり幅広にしなくてもすむため、開口率を大きくすることができる。これにより、画素当たりの発光面積が増大するので、各有機EL素子に流す電流を変更することなく、輝度を大きくすることができる。また、反対に開口率が向上するので、同一輝度を実現するために有機EL素子に供給する電流を小さく抑えることができ、有機EL素子の劣化を抑制することができる。また、実質的には、ゲート長を長く、つまりチャネル長(LD領域を含む)を長くできるため、エキシマレーザアニールによる能動層の再結晶化(ポリシリコン化)についての特性のバラツキ発生を抑えることができる。

【0085】また、図11には、他の実施形態の構成を示す。この回路では、図1の回路に対し、電圧調整用のダイオード31を有している。すなわち、保持容量CSと、第3TFT(放電トランジスタ)30および有機EL素子50の間にダイオード31が設けられている。このダイオード31は、第2TFT20と同一の構成を持つTFTで形成され、そのTFTのゲートドレイン間をショートして形成されている。

【0086】このダイオード31を設けることによって、第2TFT20のゲート電圧を、有機EL50の閾値(V_{th})とダイオード31の閾値(V_{tn})とビデオ信号との和に設定することができ、有機EL50やTFTトランジスタの閾値がばらついたり劣化しても、常にビデオ信号に見合った電流を第2TFT20が流すことができる。

【0087】すなわち、ダイオード31を設けることによって、素子特性のバラツキや劣化にほぼ関係なく、駆動電流を制御することが可能となり、色むらの少ない表示装置を提供することができる。

【0088】なお、この回路においては、第3TFT30が設けられている。そして、この第3TFT30により、有機EL素子50のアノード側電位を接地電位である容量ラインSLの電圧に設定し、有機EL素子50を駆動する際の初期設定が行われる。このように、有機EL素子50のアノード側電位を強制的にある電位に設定する(電荷を引き抜く)ことによって、残像減少を抑制することができる。また、第3TFT30のソース側電位を有機ELのカソード側電位よりさらに低い電位に設定することによって、有機EL素子における少なくとも有機発光膜を含む有機膜に逆バイアスをかけることができる。これによって、有機膜の特性回復を促進し、膜特性の劣化速度を遅くすることができる。

【0089】また、各画素に第3TFT30があるため、ゲート線方向に接続された全画素のリセットライン

RS Lを活性化させて、発光させない時間を制御することもできる。これによって、輝度の調整を行うことができると同時に、低消費電力化を図ることができる。さらに、RGB毎にリセットラインRS Lを結線し、RGB毎にオンさせる時間を変更することで、RGB毎の発光時間を制御することができる。これによって、ホワイトバランスの調整ができ、画質の劣化を防止することができる。

【0090】また、図12には、図11の第3TFT30のゲートをリセットラインRS Lではなく、ゲートラインGLに接続した例が示されている。この構成においても、図11の場合と同様の作用効果が得られる。すなわち、ゲートラインGLが立ち上がると、第1TFT10がオンして、データラインDLの第2TFT20のゲート電圧がデータラインDLの電圧に設定される。また、第3TFT30がオンするため、電源ラインVLからの電流が第2TFT20、第3TFT30を介し低電圧(接地電位)の容量ラインSLに流れる。

【0091】次に、データラインDLが立ち下がることで、第1、第3TFT10、30がオフになり、第2TFT20からの電流は、有機EL素子50に流れ、発光する。

【0092】このとき、有機EL素子50の上側(第2TFT20に接続されている側)の電位は、有機EL50における電圧降下 V_{tF} 以上の電圧になる。一方、ダイオード31における電圧降下 V_{tn} が存在するため、第2TFT20のゲート電圧は、有機EL素子50に電流が流れているときに有機EL素子50の閾値(V_{th}) + ダイオード31の閾値(V_{tn}) + ビデオ信号の電圧(V_{video})となり、上述のように素子特性のバラツキや劣化にほぼ関係なく、駆動電流を制御することが可能になり、色むらの少ない表示装置を得ることができる。

【0093】

【発明の効果】以上説明したように、この発明においては、エレクトロルミネッセンス素子などの被駆動素子に安定して電力を供給することが可能となる。

【0094】また、被駆動素子を動作させるためのデータ信号を、例えば表示装置においてビデオ信号の極性を反転させて形成することなく利用できる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る有機EL素子を駆動する1画素当たりの回路構成を示す図である。

【図2】 本発明の各画素に供給するゲート信号及びリセット信号を作成する回路の構成例を示す図である。

【図3】 図2の回路の動作を示すタイミングチャートである。

【図4】 本発明の実施形態に係る有機EL素子を駆動する1画素当たりの他の回路構成を示す図である。

【図5】 本発明の実施形態に係る有機EL素子を駆動

する1画素当たりの他の回路構成を示す図である。

【図6】 図4に示す回路構成を備えた1画素当たりの平面構成を示す図である。

【図7】 図6のA-A線、B-B線及びC-C線に沿った断面構造を示す図である。

【図8】 図5に示す回路構成を備えた1画素当たりの平面構成を示す図である。

【図9】 LD構造のTFTの構成例を示す図である。

【図10】 LD領域を大きくしたTFTの構成例を示す図である。

【図11】 本発明の各画素に供給するゲート信号及びリセット信号を作成する回路の他の構成例を示す図である。

【図12】 本発明の各画素に供給するゲート信号及びリセット信号を作成する回路のさらに他の構成例を示す図である。

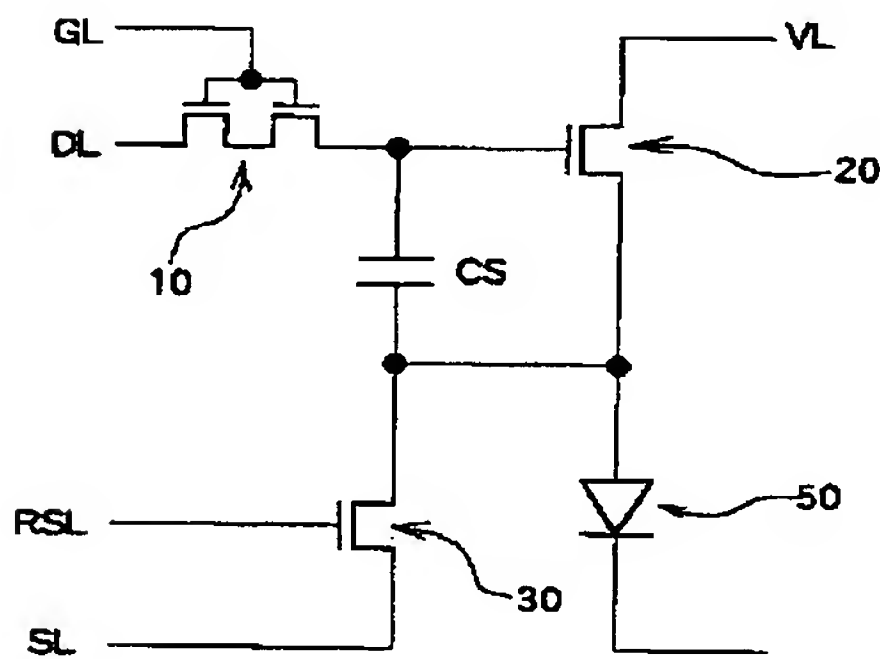
【図13】 従来のアクティブマトリクス型の有機EL

表示装置の回路構成を示す図である。

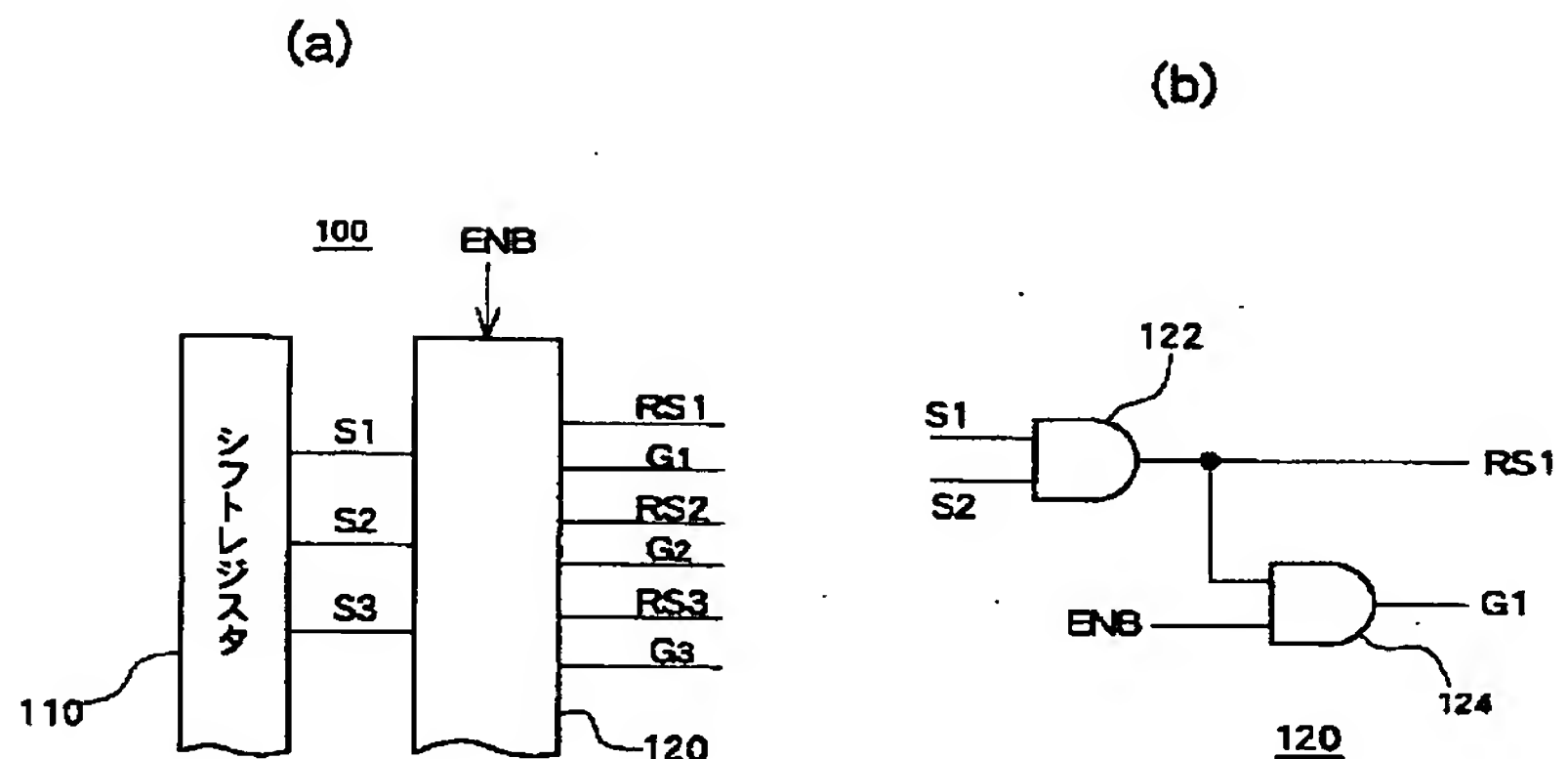
【符号の説明】

2, 24, 32 ゲート電極、7 保持容量の第1電極、8 保持容量の第2電極、10 第1TFT（スイッチング用薄膜トランジスタ）、14 層間絶縁膜、20 第2TFT（素子駆動用薄膜トランジスタ）、26 接続配線（コネクタ部）、31 電圧調整用ダイオード、34 共通接続配線、30 第3TFT（スイッチング用薄膜トランジスタ）、40, 41 ゲートライン（GL）、42 データライン（DL）、44 駆動電源ライン（VL）、46 リセットライン（RSL）、48 容量ライン（SL）、50 有機EL素子、51 発光素子層、52 陽極、54 ホール輸送層、55 発光層、56 電子輸送層、57 陰極、61 第2平坦化絶縁層、100 垂直ドライバ、110 シフトレジスタ、120 出力部、122, 124 アンドゲート。

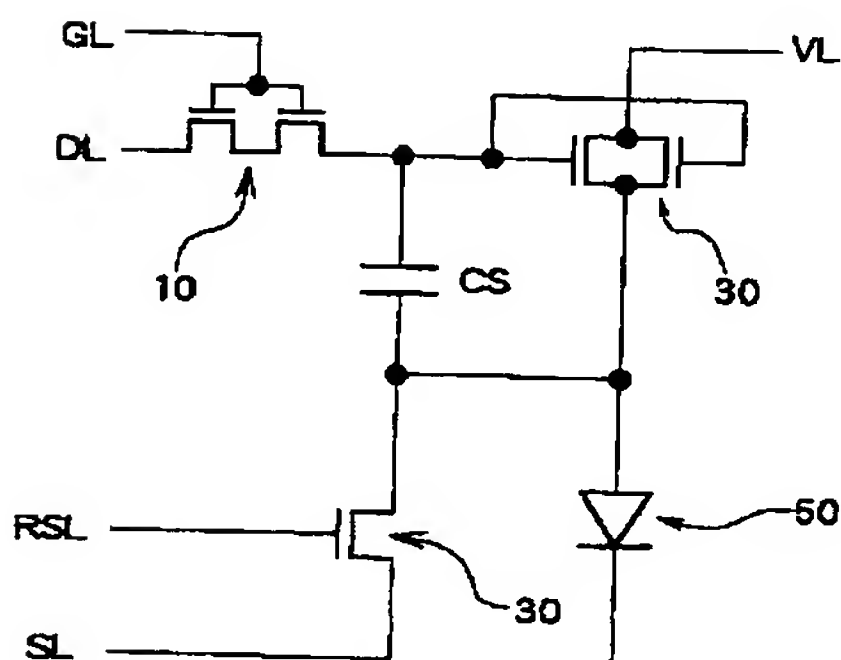
【図1】



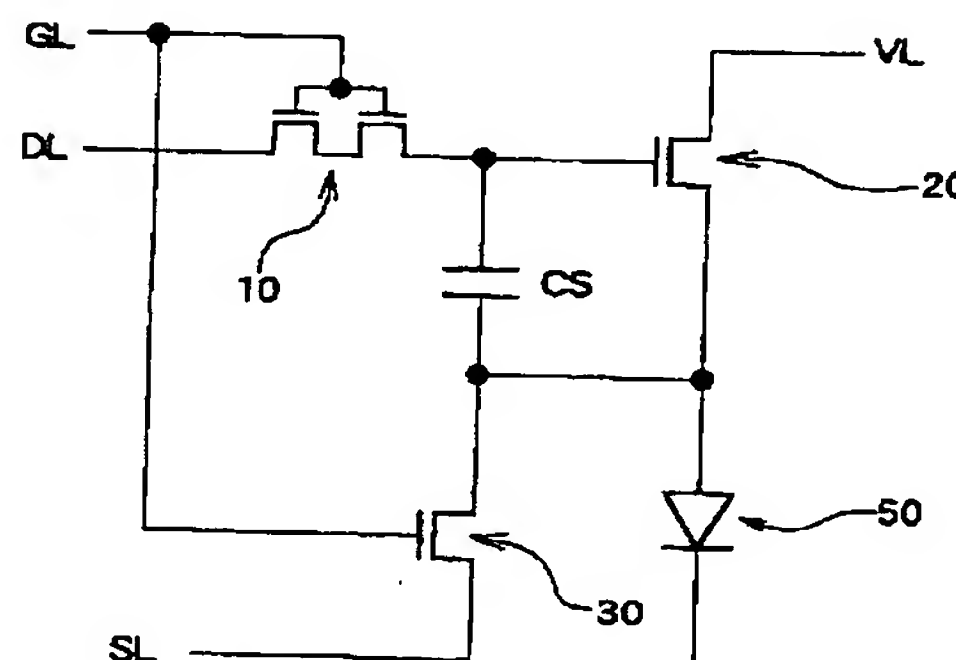
【図2】



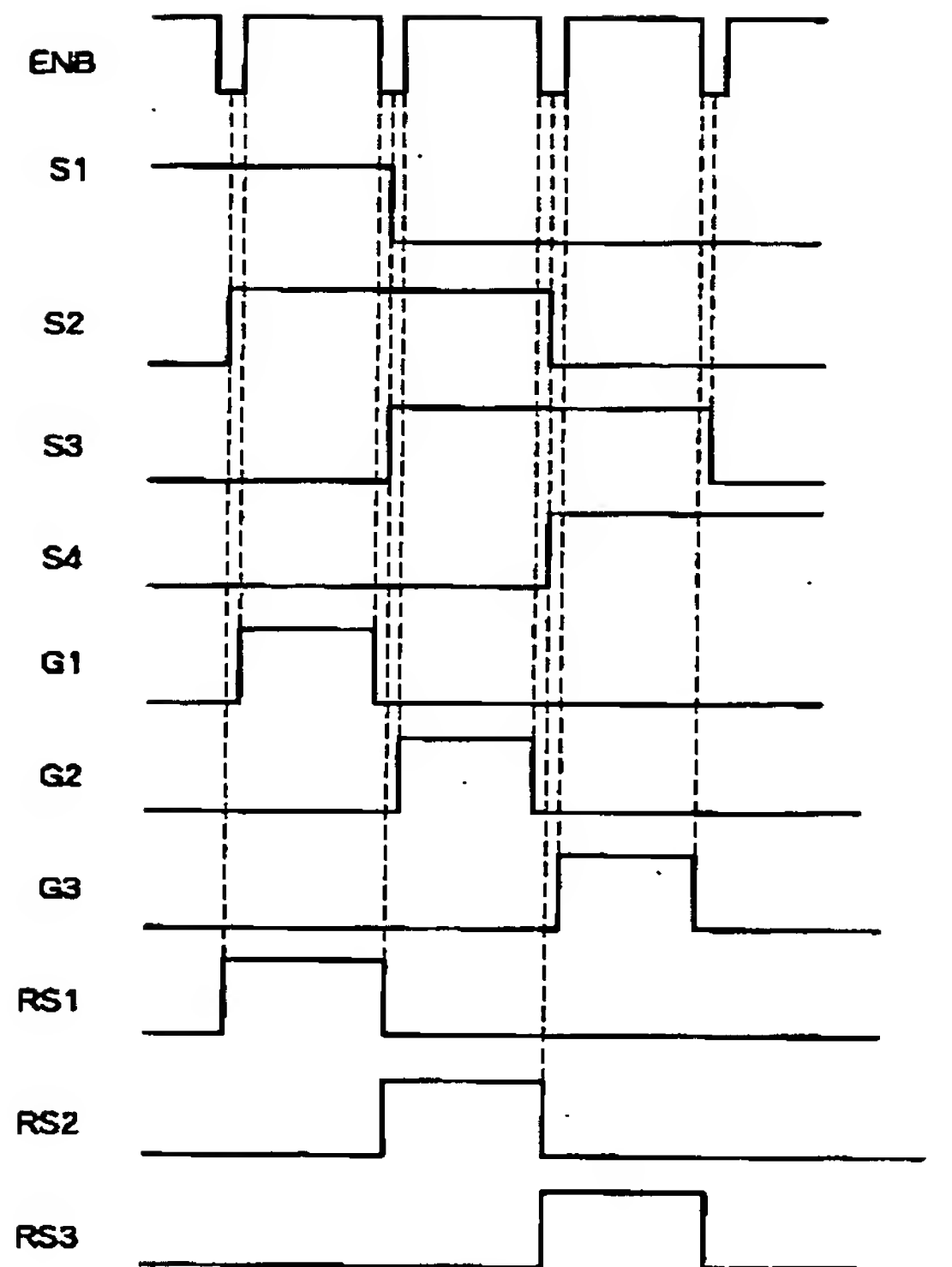
【図4】



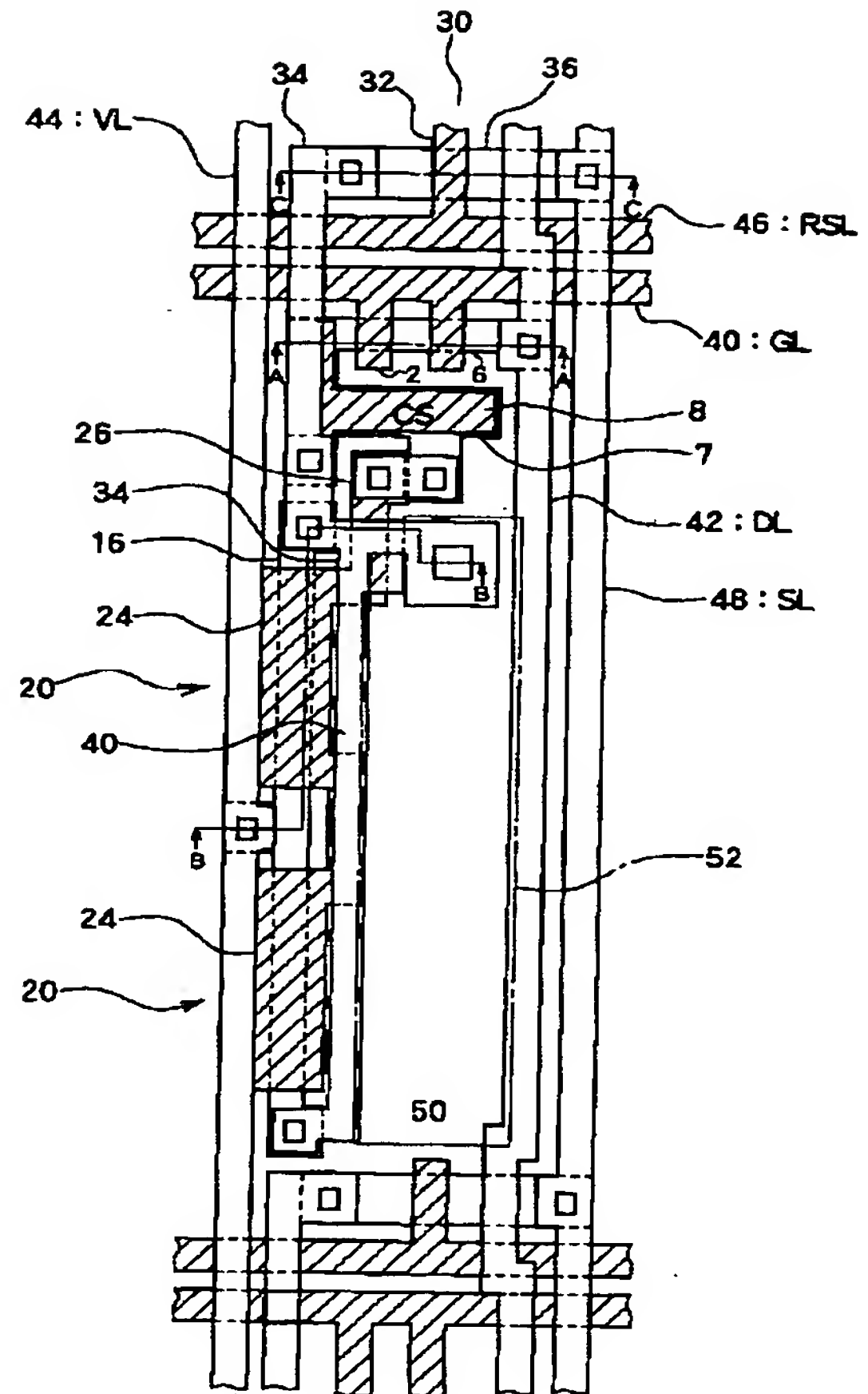
【図5】



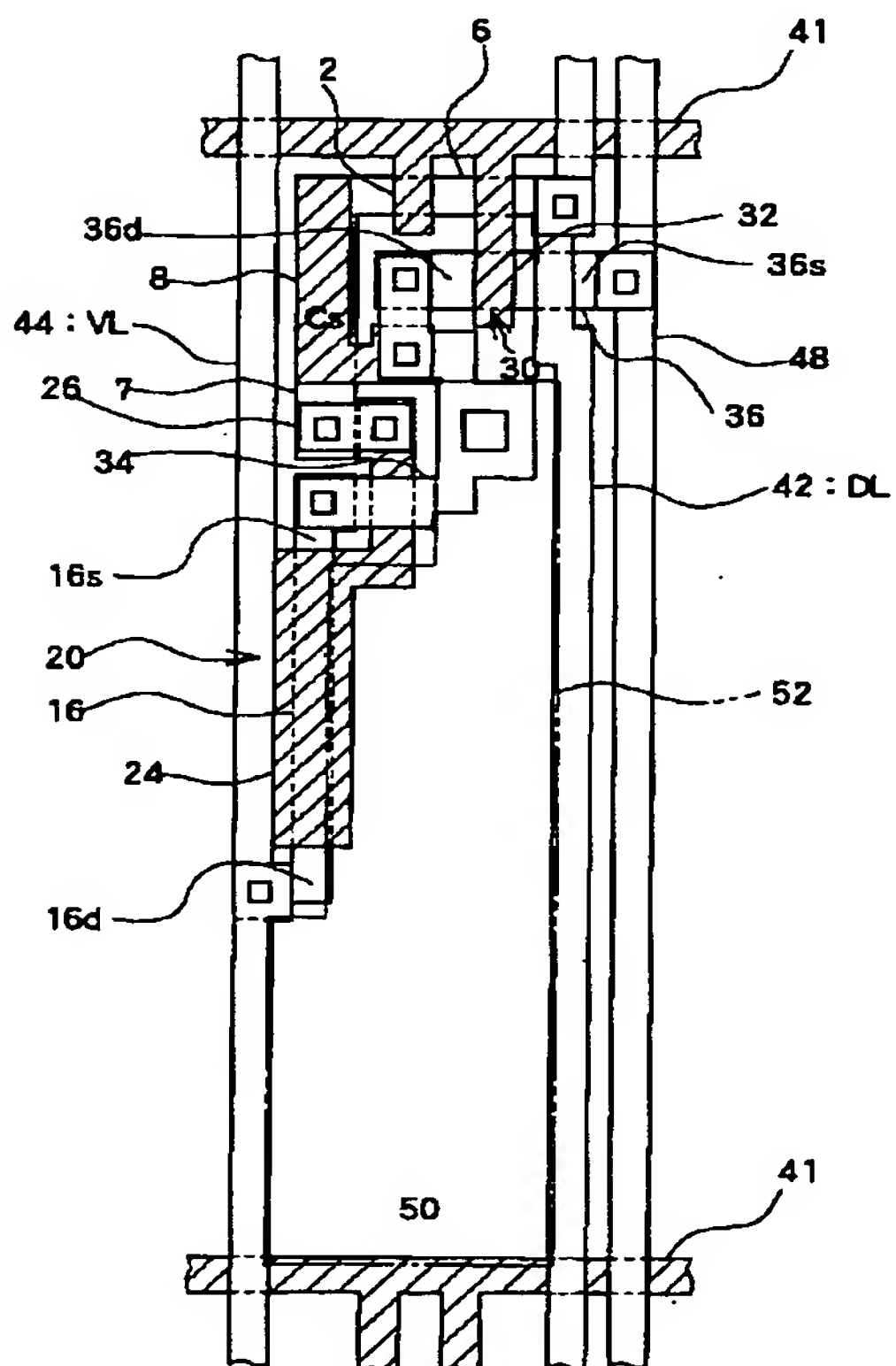
【図 3】



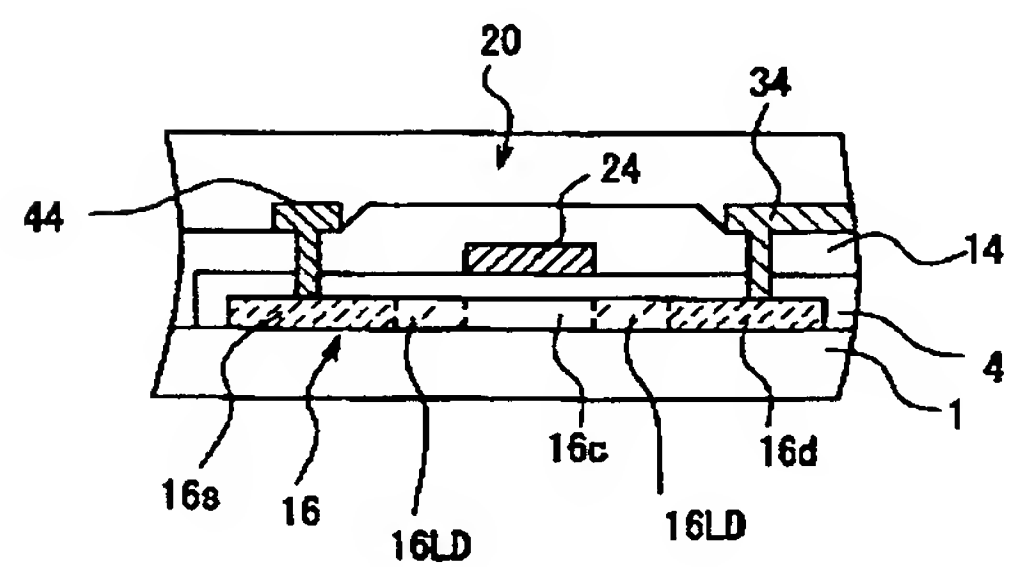
【図 6】



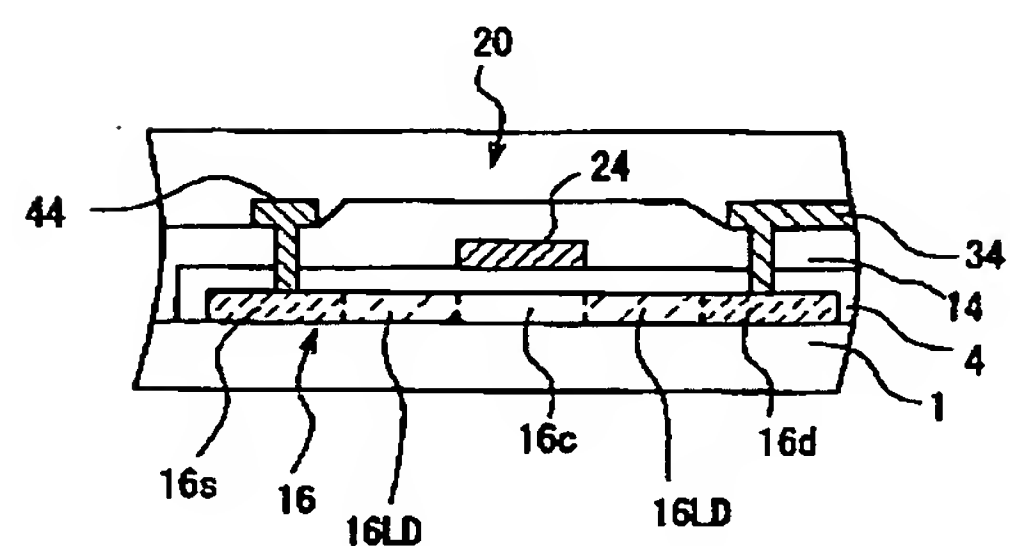
【図 8】



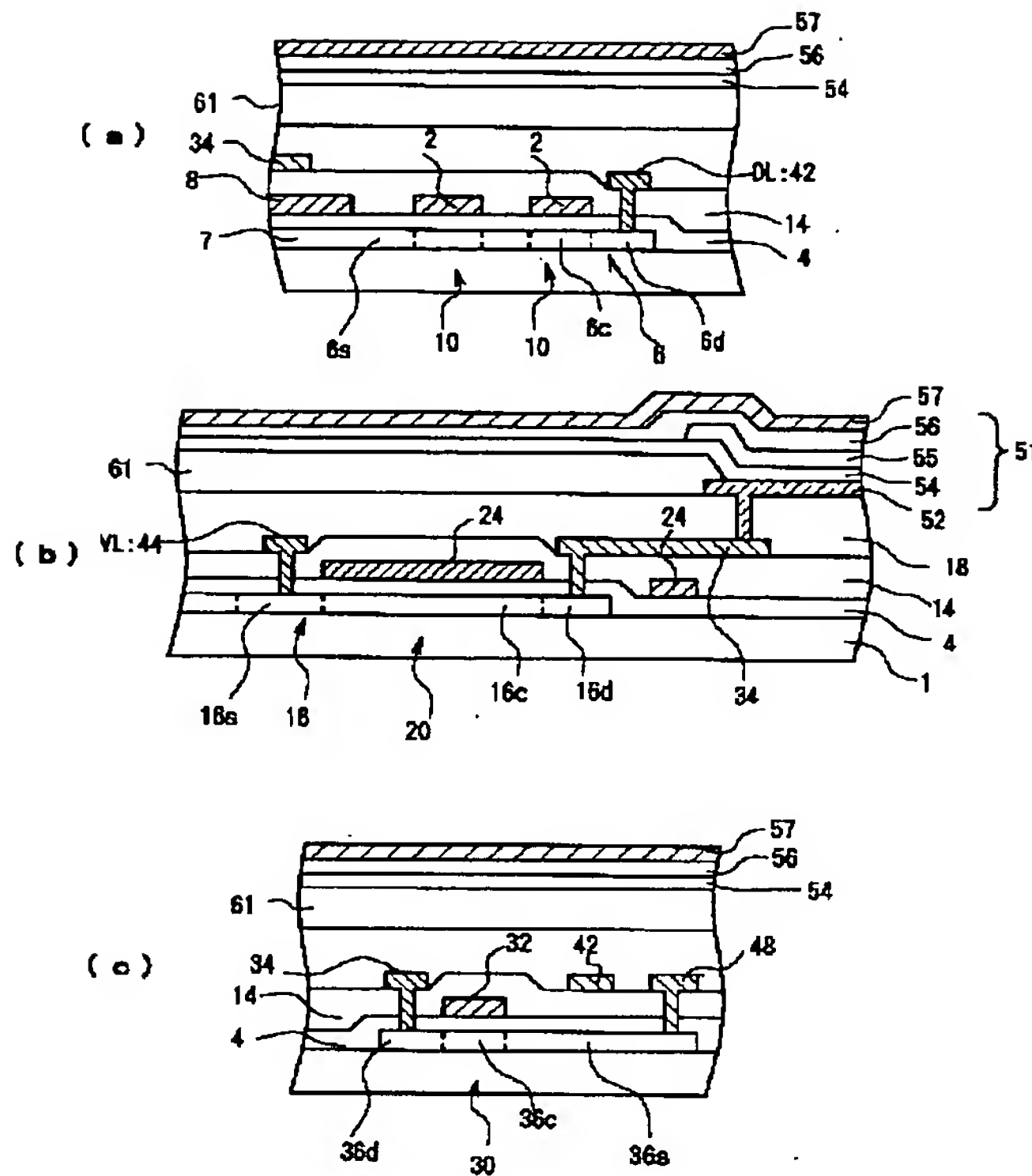
【図 9】



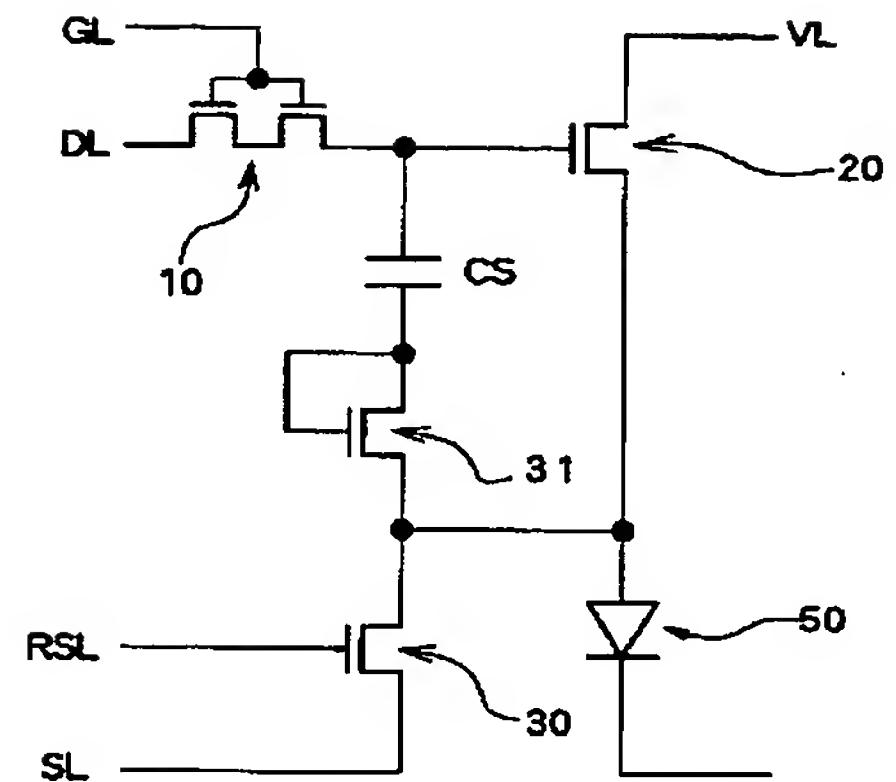
【図 10】



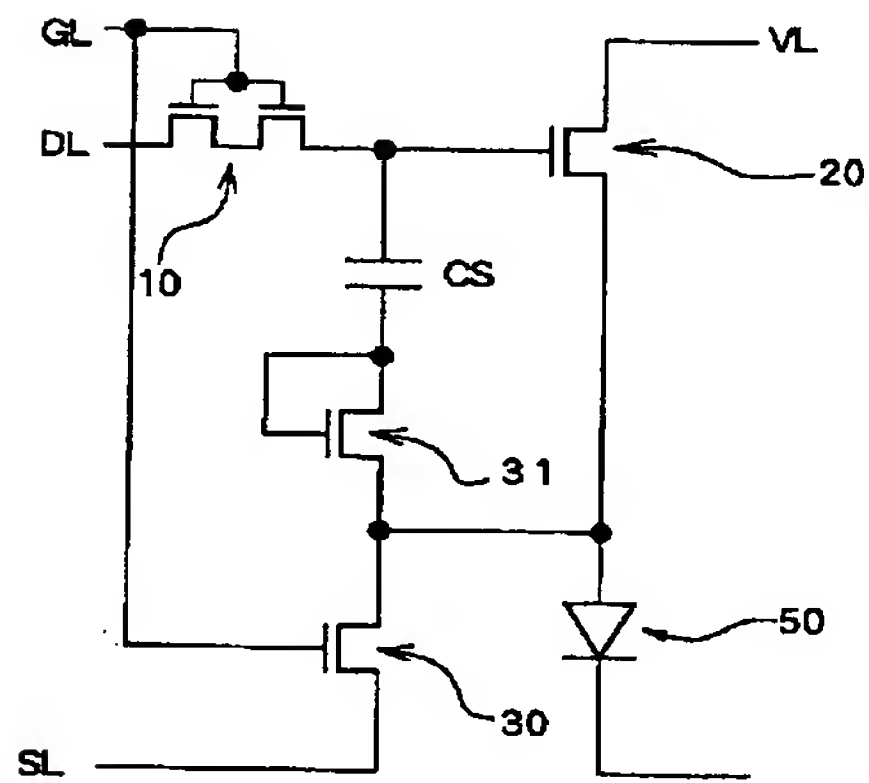
【図7】



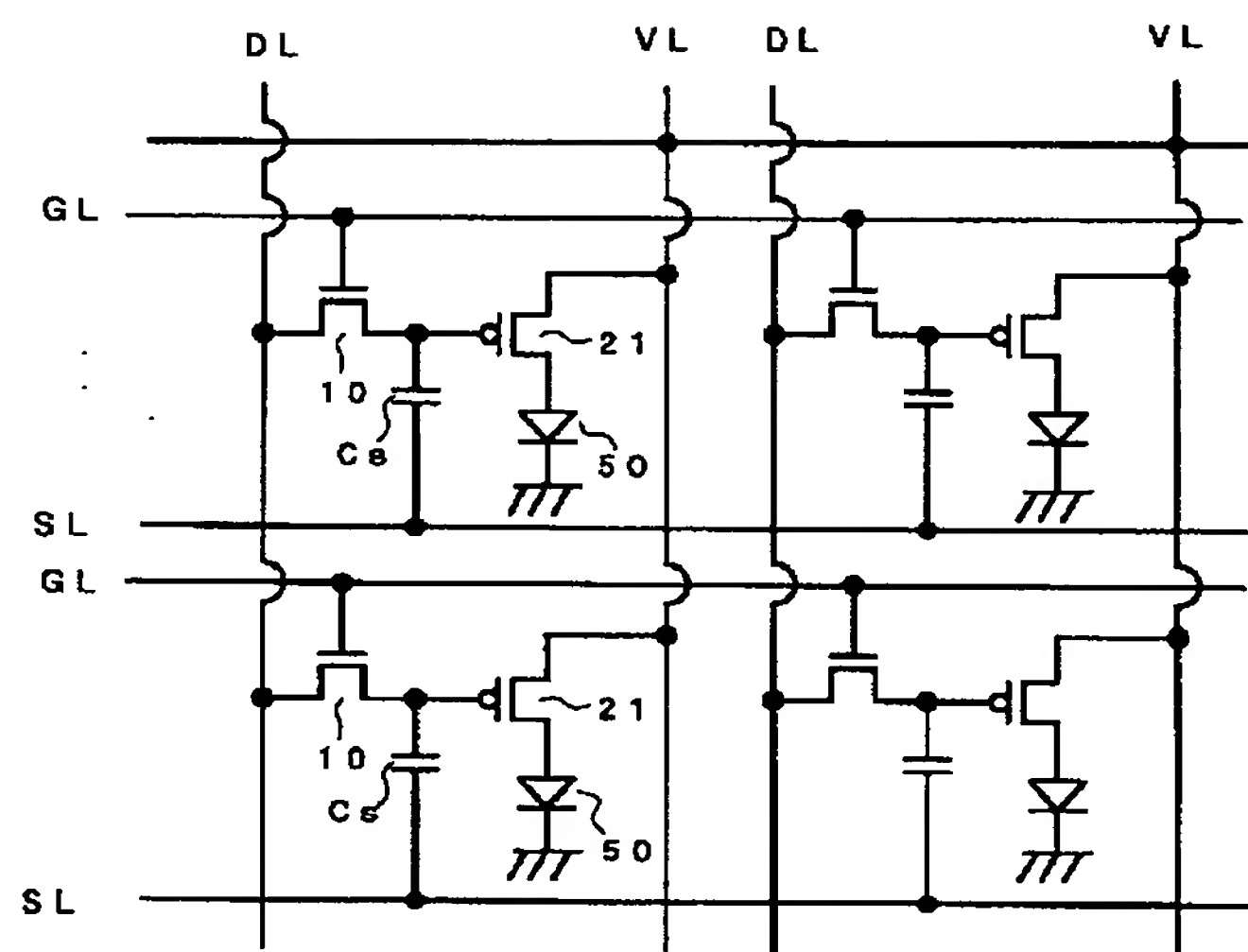
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 21/336

29/786

H 0 5 B 33/14

識別記号

F I

H 0 5 B 33/14

H 0 1 L 29/78

テーマコード* (参考)

A

6 1 2 Z

F ターム (参考) 3K007 AB02 AB04 AB17 AB18 BA06
BB07 DB03 GA02 GA04
5C080 AA06 BB05 CC03 DD05 DD22
DD29 EE19 EE29 FF11
5C094 AA04 AA07 AA55 BA03 BA27
CA19 DB01 DB04 EA04 FB01
FB12 FB14 FB15 FB20
5F110 AA04 AA16 BB02 CC02 DD02
EE04 EE28 GG02 GG13 HJ01
HL03 HM14 HM15 NN73 NN74
NN78

THIS PAGE BLANK (USPTO)